

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
28. Dezember 2000 (28.12.2000)

PCT

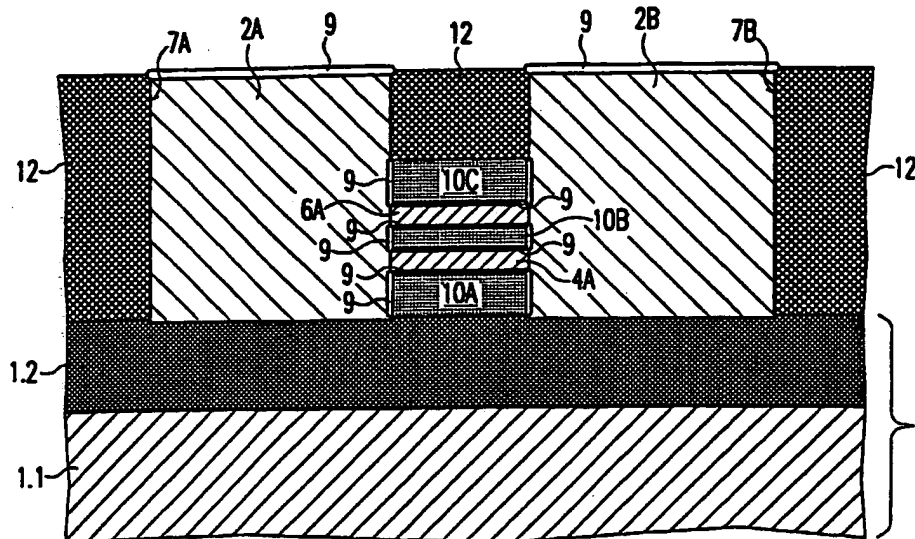
(10) Internationale Veröffentlichungsnummer
WO 00/79602 A1

- (51) Internationale Patentklassifikation: H01L 29/786, 21/336 (72) Erfinder; und
(75) Erfinder/Anmelder (nur für US): RÖSNER, Wolfgang [DE/DE]; Heinzelmannstr. 2, D-81739 München (DE). SCHULZ, Thomas [DE/DE]; Annette Kolb Anger 13/V, D-81737 München (DE). RISCH, Lothar [DE/DE]; Tizianstr. 27, D-85579 Neubiberg (DE). FRANOSCH, Martin [DE/DE]; Helmut-Käutner-Str. 27, D-81739 München (DE).
- (21) Internationales Aktenzeichen: PCT/DE00/02022
- (22) Internationales Anmeldedatum: 21. Juni 2000 (21.06.2000)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität: 199 28 564.0 22. Juni 1999 (22.06.1999) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Str. 53, D-81541 München (DE).
- (81) Bestimmungsstaaten (national): JP, KR, US.
- (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

[Fortsetzung auf der nächsten Seite]

(54) Title: MULTI-CHANNEL MOSFET AND METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: MEHRKANAL-MOSFET UND VERFAHREN ZU SEINER HERSTELLUNG



(57) Abstract: A dual-gate MOSFET semiconductor layer structure is constructed on a substrate (1). Said semiconductor layer structure consists of a first gate electrode and a second gate electrode (10A, 10B), between which a semiconductor channel layer area (4A) is embedded, and a source area (2A) and a drain area (2B), which are situated on opposite front sides of the semiconductor channel layer area (4A). At least one other semiconductor channel layer area (6A) is provided at one of the gate electrodes (10B), the front sides of this semiconductor channel layer area (6A) also being contacted by the source (2A) and drain (2B) areas.

[Fortsetzung auf der nächsten Seite]

WO 00/79602 A1

**Veröffentlicht:**

- Mit internationalem Recherchenbericht.
- Vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen.

Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Auf einem Substrat (1) ist eine Doppel-Gate-MOSFET-Halbleiterschichtstruktur aufgebaut. Diese besteht aus einer ersten und einer zweiten Gateelektrode (10A, 10B), zwischen denen eine Halbleiter-Kanalschichtzone (4A) eingebettet ist, sowie einem Source- (2A) und Drain-Bereich (2B), welche an gegenüberliegenden Stirnseiten der Halbleiter-Kanalschichtzone (4A) angeordnet sind. An einer der Gateelektroden (10B) ist zumindest eine weitere Halbleiter-Kanalschichtzone (6A) vorgesehen, deren Stirnseiten ebenfalls von den Source- (2A) und Drain-Bereichen (2B) kontaktiert sind.

Beschreibung

Mehrkanal-MOSFET und Verfahren zu seiner Herstellung

- 5 Die Erfindung betrifft eine MOS-Transistoranordnung nach Patentanspruch 1 sowie Verfahren zur Herstellung einer solchen MOS-Transistoranordnung nach den Patentansprüchen 8 und 17.

MOSFETs (metal-oxide-semiconductor field-effect transistors)
10 werden seit langem bei ständiger Verkleinerung ihrer Strukturen in den unterschiedlichsten integrierten Halbleiterschaltkreisen (z.B. DRAMs, ROMs, EPROMs, EEPROMs, PLAs, usw.) eingesetzt.

- 15 Die voranschreitende Verkleinerung von Bulk-MOS-Transistoren wird durch die bekannten Kurzkanaleffekte in absehbarer Zeit an ihre Grenze stoßen. Das Prinzip des MOS-Transistors kann aber darüber hinaus noch weiter bis hinab zu Kanallängen von 10 nm oder sogar darunter genutzt werden. Voraussetzung ist
20 ein weitestgehender Durchgriff des Gatepotentials durch das gesamte Kanalgebiet, was, wie in der Veröffentlichung von F. G. Pikus et al. in Appl. Phys. Lett. 71, 3661 (1997) gezeigt wird, am besten bei sogenannten Doppel-Gate-MOSFETs mit sehr dünnem Si-Kanalgebiet erreicht wird.

- 25 Doppel-Gate-MOSFETs unterscheiden sich von herkömmlichen (Einzel-Gate-)MOSFETs dadurch, daß sie zusätzlich zu der üblichen oberhalb des Kanals angeordneten Gateelektrode (top gate) eine weitere unter dem Transistorkanal liegende Gateelektrode (bottom gate) aufweisen.
30

- Die Realisierung derartiger Doppel-Gate-MOSFETs konnte bisher nur im Labormaßstab erfolgen. J. P. Colinge et al. haben in IEDM 90-595 ein Verfahren vorgeschlagen, bei welchem auf ei-
35 nem SOI-(silicon-on-insulator-)Substrat das Oxid im Bereich unter dem Transistorkanal naßchemisch entfernt und dieser Raum später mit dem Polysilizium des Rückseiten-Gates aufge-

füllt wird. Dieses Verfahren ist technologisch einfach, weist jedoch den Nachteil auf, daß mit ihm keine selbstjustierten Doppel-Gate-MOSFETs hergestellt werden können. Ein weiterer Nachteil des Verfahrens besteht darin, daß die Ät-
5 zung unter dem Transistorkanal nicht auf einen kleinen Bereich beschränkt werden kann.

In dem US-Patent 5,646,058 wird ein Prozeß zur Herstellung von Doppel-Gate-MOSFETs vorgeschlagen, bei dem das dünne Si-
10 lizium-Kanalgebiet innerhalb eines zuvor gebildeten dünnen Tunnels epitaktisch aufgewachsen wird. Dieser Prozeß ist prozeßtechnisch anspruchsvoll, ermöglicht allerdings die Herstellung selbstjustierter Doppel-Gate-MOSFETs.

15 Ein besonders geeignetes Verfahren zur Herstellung selbstjustierter Doppel-Gate-MOSFETs ist in der nicht vorveröffentlichten deutschen Patentanmeldung 199 245 71.1 angegeben.

Für viele praktische Anwendungen ist es wünschenswert, MOS-
20 FETs mit hoher Stromtreiberfähigkeit einsetzen zu können.

Demzufolge liegt der vorliegenden Erfindung die Aufgabe zugrunde, eine MOS-Transistoranordnung mit hoher Stromtreiberfähigkeit zu schaffen sowie Verfahren zur Herstellung einer
25 solchen MOS-Transistoranordnung anzugeben.

Diese Aufgabe wird durch eine MOS-Transistoranordnung nach dem Patentanspruch 1 und durch Verfahren nach den Patentansprüchen 8 und 17 gelöst.

30 Demnach umfaßt die erfindungsgemäße MOS-Transistoranordnung einen Doppel-Gate-MOSFET, der an seinem "top gate" und/oder seinem "bottom gate" mit zumindest einem weiteren Transistorkanal (Halbleiter-Kanalschichtzone) ausgerüstet ist. Durch
35 den oder die weiteren Transistorkanäle kann bei gleichem Flächenbedarf der Source-Drain-Strom vervielfacht werden.

Eine erfindungsgemäße MOS-Transistoranordnung wird im folgenden auch als Mehrkanal-MOSFET bezeichnet.

Nach einer bevorzugten Ausführungsvariante der Erfindung ist
5 die weitere Halbleiter-Kanalschichtzone an ihrer der ersten
oder zweiten Gateelektrode gegenüberliegenden Oberfläche mit
einer weiteren Gateelektrode versehen. Die sich ergebende
Struktur entspricht zwei übereinander angeordneten Doppel-
Gate-MOSFETs mit gemeinsamer (erster oder zweiter) Mittenga-
10 teelektrode.

Die elektrischen Eigenschaften des erfindungsgemäßen Mehrka-
nal-MOSFETs sind deutlich verbessert, wenn die Gateelektroden
bedingt durch ihre Erzeugung mittels eines selbstjustierenden
15 Prozesses in zueinander ausgerichteter Lagebeziehung angeord-
net sind.

Die Halbleiter-Kanalschichtzonen können aus Silizium, insbe-
sondere kristallinem Silizium bestehen. Die Erfindung ist
20 jedoch insbesondere auch auf MOS-Transistorstrukturen mit aus
polykristallinem oder amorphem Silizium bestehenden Halblei-
ter-Kanalschichtzonen anwendbar, da durch die erfindungsgemä-
ße Maßnahme die ansonsten schlechte Stromergiebigkeit gerade
solcher MOSFET-Strukturen entscheidend verbessert wird.

25 Vorzugsweise wird als Substrat ein Siliziumsubstrat oder ein
SOI-Substrat eingesetzt.

Ein erstes bevorzugtes Verfahren zur Herstellung eines Mehr-
30 kanal-MOSFET kennzeichnet sich durch die Merkmale des An-
spruchs 8. Mit diesem Verfahren können selbstjustierte Mehr-
kanal-MOSFETs mit Kanalschichtzonen aus kristallinem Silizi-
um, Polysilizium oder auch amorphem Silizium realisiert wer-
den. Je nachdem, ob eine bodenseitige platzhaltende Schicht
35 auf das Substrat aufgebracht wird oder nicht, kann ein Dop-
pel-Gate-MOSFET mit darüberliegend angeordnetem weiteren

Transistorkanal oder ein top gate MOSFET mit darüberliegend angeordnetem Doppel-Gate-MOSFET realisiert werden.

5 Ein zweites bevorzugtes Verfahren zur Herstellung eines Mehrkanal-MOSFET mit kristallinen Kanalschichtzonen kennzeichnet sich durch die Merkmale des Anspruchs 17 und bildet im wesentlichen das in der eingangs genannten US 5,646,058 beschriebene Verfahren fort.

10 Beiden erfindungsgemäßen Verfahren zur Herstellung eines Mehrkanal-MOSFET ist gemeinsam, daß sie nur einen verhältnismäßig geringen zusätzlichen Prozeßaufwand gegenüber den jeweilig zugrundeliegenden Doppel-Gate-MOSFET-Herstellungsverfahren erforderlich machen.

15 Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

20 Im folgenden werden zwei bevorzugte Ausführungsbeispiele eines erfindungsgemäßen Mehrkanal-MOSFETs sowie zwei bevorzugte Ausführungsvarianten erfindungsgemäßer Herstellungsverfahren anhand der Zeichnung erläutert. In dieser zeigt:

25 Fig. 1 eine schematische Schnittansicht in Kanalrichtung (Linie B-B der Fig. 2) eines ersten Ausführungsbeispiels eines erfindungsgemäßen Mehrkanal-MOSFET;

30 Fig. 2 eine schematische Darstellung der geometrischen Verhältnisse der bei einer ersten Ausführungsvariante eines erfindungsgemäßen Herstellungsverfahrens zu prozessierenden Bereiche in Draufsicht;

35 Fig. 3 eine schematische Schnittansicht entlang der Linie A-A in Fig. 2 nach dem Aufbringen der für die Transistorkanäle vorgesehenen Siliziumschichten bei der ersten Ausführungsvariante;

Fig. 4 und 5 schematische Schnittansichten entlang der Linie A-A zu späteren Zeitpunkten im Prozeßablauf der ersten Ausführungsvariante;

5 Fig. 6 eine schematische Schnittansicht in Kanalrichtung nach dem Aufbringen der Schichtfolge bei der zweiten Ausführungsvariante eines erfindungsgemäßen Herstellungsverfahrens;

10 Fig. 7 bis 10 schematische Schnittansichten gemäß Fig. 6 zu späteren Zeitpunkten im Prozeßablauf der zweiten Ausführungsvariante;

15 Fig. 11 eine schematische Schnittansicht in Kanalrichtung des gemäß der zweiten Ausführungsvariante hergestellten Ausführungsbeispiels eines erfindungsgemäßen Mehrkanal-MOSFETs.

Fig. 1 zeigt einen auf einem SOI-Substrat 1 bestehend aus einem Basis-Substratbereich 1.1 und einer darüberliegenden Oxidschicht 1.2 aufgebauten Mehrkanal-MOSFET. Der Mehrkanal-MOSFET weist zwei übereinander angeordnete, parallele Halbleiter-Kanalschichtzonen 4A, 6A auf, die sich zwischen gemeinsamen Source- 2A und Drain-Bereichen 2B erstrecken. Zwischen dem SOI-Substrat 1 (d.h. der Oxidschicht 1.2) und der untersten Kanal-Halbleiterschichtzone 4A, zwischen den Kanal-Halbleiterschichtzonen 4A und 6A und oberhalb der oberen Kanal-Halbleiterschichtzone 6A befinden sich Gateelektroden 10A, 10B und 10C. Die Gateelektroden 10A, 10B, 10C sind mittels Oxidschichten 9 sowohl gegenüber den Source- 2A und Drain-Bereichen 2B als auch gegenüber den Halbleiter-Kanalschichtzonen 4A, 4B elektrisch isoliert.

Über der obersten Gateelektrode 10C sowie im Bereich außerhalb der Source- 2A und Drain-Bereiche 2B ist ein Isolationsmaterial 12 abgelagert. Die Source- 2A und Drain-Bereiche 2B sind ebenfalls durch eine Oxidschicht 9 abgedeckt.

Der in Fig. 1 dargestellte Mehrkanal-MOSFET entspricht konstruktiv zwei übereinander angeordneten Doppel-Gate-MOSFETs mit gemeinsamer Gateelektrode 10B. Die unterste Gateelektrode 10A kann jedoch auch entfallen, wodurch eine Anordnung bestehend aus einem unteren top gate MOSFET und einem darüber angeordneten Doppel-Gate-MOSFET mit gemeinsamer Gateelektrode 10B realisiert wird. Ferner kann die Oxidschicht 1.2 entfallen, d.h. ein Substrat 1 aus einem Vollmaterial, insbesondere Si-Substrat (Si-Wafer) eingesetzt werden. Schließlich können auch mehr als zwei übereinander angeordnete Halbleiter-Kanalschichtzonen 4A, 6A vorhanden sein, wodurch die Stromtreiberfähigkeit der Anordnung weiter erhöht wird.

Eine erste Ausführungsvariante zur Herstellung des in Fig. 1 dargestellten Mehrkanal-MOSFETs wird im folgenden anhand der Fig. 2 bis 5 erläutert.

Gemäß Fig. 3 wird auf dem SOI-Substrat 1 zunächst eine bodenseitige platzhaltende Schicht 3, nachfolgend eine erste Halbleiter-Kanalschicht 4, eine weitere platzhaltende Schicht 5 und eine zweite Halbleiter-Kanalschicht 6 abgeschieden.

Die Halbleiter-Kanalschichten 4, 6 können beispielsweise aus kristallinem Silizium bestehen. Es ist jedoch auch möglich, die Halbleiter-Kanalschichten 4, 6 durch Abscheidung polykristallinen Siliziums oder sogar amorphen Siliziums zu bilden. Zwar ist die Ladungsträgerbeweglichkeit in polykristallinen und besonders in amorphen Schichten relativ stark eingeschränkt. Das geringe Volumen der Kanalzonen, der vollständige Durchgriff des Gatepotentials und vor allem natürlich die erfindungsgemäße Parallellegung mehrerer Transistorkanäle lassen jedoch auch in diesem Fall eine brauchbare Leistung der - auf diese Weise sehr kostengünstig herstellbaren - Transistoranordnung erwarten.

Ferner besteht die Möglichkeit, die Halbleiter-Kanalschichten 4, 6 zunächst als polykristalline oder amorphe Schichten abzuscheiden und durch anschließendes Rekristallisieren, beispielsweise Laser-Rekristallisieren in kristalline Schichten
5 umzuwandeln.

Die platzhaltenden Schichten 3, 5 können aus Siliziumnitrid (SiN) bestehen.

- 10 Bei polykristallinen oder ggf. sogar amorphen Halbleiter-Kanalschichten 4, 6 können die Kanalschichten und das Platzhaltermaterial in der gleichen Anlage einfach alternierend abgeschieden werden. Beispielsweise kann das Polysilizium der platzhaltenden Schichten 3, 5 hoch mit P dotiert werden,
15 wodurch sie später mittels heißer H_3PO_4 selektiv zum niedriger dotierten Polysilizium der Kanalschichten geätzt werden können. Auch 1%ige HF ätzt dotiertes Polysilizium etwa 12 mal schneller als undotiertes Polysilizium. Eine weitere Möglichkeit besteht in der abwechselnden Abscheidung von Polysilizium (Halbleiter-Kanalschichten) und Poly-SiGe (platzhaltende Schichten). Poly-SiGe kann beispielsweise mit
20 $HF:H_2O:CH_3OOH$ im Mischungsverhältnis 1:2:3 naßchemisch aus dem umgebenden Polysilizium herausgeätzt werden.
- 25 Für einkristalline Halbleiter-Kanalschichten 4, 6 können mittels Epitaxie in ähnlicher Weise Schichtfolgen mit unterschiedlichem Dotierungsgrad oder bestehend aus verschiedenen, selektiv ätzbaren Materialien (neben Si für die Halbleiter-Kanalschichten beispielsweise CaF_2 oder SiGe für die platzhaltenden Schichten) eingesetzt werden.
30

Das SOI-Substrat 1 kann durch eines der in der Technik bekannten Verfahren vorgefertigt werden.

- 35 Es ist auch möglich, zunächst die Schichtenanordnung 1.1, 1.2, 3, 4 durch Waferbonding herzustellen, und nachfolgend die restlichen Schichten 5, 6 in der bereits beschriebenen

Weise aufzubringen. Dabei werden getrennt voneinander auf einen ersten Siliziumwafer eine Oxidschicht (Bezugszeichen 1.2) und auf einen zweiten Siliziumwafer eine Nitridschicht (Bezugszeichen 3) aufgewachsen und die beiden Siliziumwafer an der Oxid- bzw. der Nitridschicht durch das an sich im Stand der Technik bekannte Waferbonding-Verfahren aneinander fixiert. Anschließend muß bei diesem Prozeß der zweite Siliziumwafer durch Polieren und/oder Ätzen auf die gewünschte Dicke gebracht werden. Es ergibt sich eine kristalline Halbleiter-Kanalschicht 4.

Nach Fertigstellung der in Fig. 3 dargestellten Schichtanordnung wird die erste Halbleiter-Kanalschicht 4, die platzhaltende Schicht 5 und die zweite Halbleiter-Kanalschicht 6 durch ein geeignetes Verfahren teilweise entfernt, wobei eine Schichtstruktur 4A, 5A, 6A davon stehenbleibt, die im vorliegenden Fall eine rechteckförmige Form aufweist, welche in Fig. 2 durch die durchgezogene Linie 4A/5A/6A dargestellt ist.

Diese rechteckförmige Schichtstruktur 4A, 5A, 6A wird anschließend von einer weiteren platzhaltenden Schicht 11, z.B. aus SiN oder einem der anderen genannten Materialien überwachsen, so daß die Schichtstruktur 4A, 5A, 6A wie in Fig. 4 dargestellt von dem Material der platzhaltenden Schicht 11 vollständig umschlossen ist.

Anschließend werden die bodenseitige und die oberste platzhaltende Schicht 3 und 11 durch ein geeignetes Verfahren derart strukturiert, daß ein Bereich davon stehenbleibt, wie er in Fig. 2 durch die gestrichelte Linie gezeigt ist. Dieser Bereich weist im wesentlichen zwei rechteckförmige Abschnitte auf, die durch einen Steg miteinander verbunden sind. Der in der Darstellung der Fig. 2 obere rechteckförmige Bereich enthält die eingebettete Halbleiterschichtstruktur 4A, 5A, 6A. Außerhalb des Bereichs der gestrichelten Linie in Fig. 2

liegt die Oxidschicht 1.2 des SOI-Substrats 1 an der Oberfläche.

Auf diese Struktur wird nun eine weitere Oxidschicht 12 abgeschieden und anschließend deren Oberfläche planarisiert, wie in Fig. 5 zu erkennen ist. Die Planarisierung kann beispielsweise durch chemisch-mechanisches Polieren (CMP) erfolgen.

10 Anschließend werden in den in Fig. 2 strichpunktierten Bereichen vertikale Vertiefungen 7A, 7B in die Struktur geätzt, wobei jeweils in den Vertiefungen 7A, 7B die bodenseitige und die oberste platzhaltende Schicht 3, 11 und jeweils beidseitig ein Randabschnitt der Halbleiterschichtstruktur 4A, 5A, 15 6A vollständig durch- bzw. weggeätzt werden, siehe Fig. 1. Die strichpunktierten, zu ätzenden Bereiche liegen sich in der Draufsicht der Fig. 2 auf den kurzen Seiten des rechteckförmigen Bereichs 4A/5A/6A gegenüber, wobei beidseitig ein geringfügiger Überlapp mit dem rechteckförmigen Bereich 20 4A/5A/6A besteht. Bei der Ätzung wird also der rechteckförmige Bereich 4A/5A/6A in beiden Vertiefungen 7A, 7B angeätzt und dabei Seitenwände desselben freigelegt. Die freigelegten Seitenwände definieren die Kanallänge der herzustellenden Transistoranordnung entlang der Linie B-B. Wie ferner in 25 Fig. 1 zu erkennen ist, werden in die Tiefe die platzhaltenden Schichten 3, 11 und die Schichten 4, 5, 6 vollständig durchgeätzt, so daß die Oxidschicht 1.2 an der Oberfläche leicht angeätzt wird. Für den Ätzvorgang kann die Oxidschicht 1.2 als Ätzstoppschicht verwendet werden.

30 In den Vertiefungen 7A, 7B werden anschließend durch Auffüllen mit elektrisch leitfähigem Material die Source- und Drain-Bereiche 2A, 2B hergestellt. Als Füllmaterial kann beispielsweise hochdotiertes Polysilizium, ein Metall oder 35 ein Metallsilizid verwendet werden. Die Abscheidung des Materials muß langsam erfolgen, so daß die Vertiefungen 7A, 7B vollständig gefüllt werden, bevor die Öffnung zuwächst. Die

Source- und Drain-Bereiche 2A, 2B stehen nach diesem Verfahrensschritt auf beiden Seiten mit den Seitenwänden der Halbleiterstruktur 4A, 5A, 6A in Kontakt. Anschließend erfolgt auch hier eine Planarisierung der Oberfläche, die beispielsweise durch Rückätzen oder CMP durchgeführt werden kann.

Dann wird ein erstes Kontaktloch 8A im Bereich des unteren rechteckförmigen Abschnitts der obersten platzhaltenden Schicht 11 (siehe. Fig. 2) in die darüberliegende Oxidschicht 12 geformt. Das Ergebnis ist in Fig. 5 in einer Querschnittsansicht entlang der Linie A-A der Fig. 2 gezeigt. Anschließend werden durch dieses Kontaktloch 8A sämtliche platzhaltenden Schichten bzw. Schichtzonen 3, 5A, 11 beispielsweise naßchemisch selektiv herausgeätzt. Als Ergebnis wird eine Struktur erhalten, in der freischwebende, als Kanalbereiche des herzustellenden Transistors vorgesehene Si-Stege (Halbleiter-Kanalzonen) 4A, 6A nur an ihren Stirnseiten durch die Source- und Drain-Bereiche 2A, 2B gehalten werden.

Anschließend werden die Isolationsschichten 9 beispielsweise durch thermisches Oxidieren geformt. Dabei bildet sich ein relativ dünnes Gateoxid 9 an den Si-Stege 4A, 6A und im Falle der Verwendung von dotiertem polykristallinen Silizium für die Source- und Drain-Bereiche 2A, 2B bildet sich aufgrund der Zunahme der Oxidwachstumsgeschwindigkeit mit dem Dotierungsgrad gleichzeitig ein dickeres thermisches Oxid 9 an den Source- und Drain-Bereichen 2A, 2B, wie in der Fig. 1 zu erkennen ist. Auch an der Oberseite der Source- und Drain-Bereiche 2A, 2B wird demzufolge ein relativ dickes thermisches Oxid gebildet.

Dann werden in den freigeätzten Bereichen, in denen sich vor dem die platzhaltenden Schichten 3, 5A, 11 befunden hatten, die Gateelektroden 10A, 10B, 10C gebildet. Dies erfolgt vorzugsweise durch eine CVD-Abscheidung (chemische Dampfphasenabscheidung) von hochdotiertem Polysilizium. Die Dotierung erfolgt dabei in-situ, also während der Abscheidung, und das

Dotiermaterial ist beispielsweise Phosphor, wodurch der Halbleiter n-leitend gemacht wird. Als Gateelektroden 10A, 10B, 10C kann jedoch auch ein Metall oder ein Metallsilizid abgeschieden werden. Anschließend erfolgt wieder ein Planarisieren der Oberfläche durch Rückätzen oder CMP.

Dadurch, daß die Ätzung der Vertiefungen 7A, 7B mit ein- und derselben Maske durchgeführt wird, wird somit gleichzeitig die Kanallänge und die Position der Gateelektroden definiert, wodurch erreicht wird, daß die Gateelektroden 10A, 10B, 10C sehr genau zueinander ausgerichtet sind.

In dem in Fig. 1 gezeigten Zustand der Transistoranordnung sind die Source- und Drain-Bereiche 2A, 2B noch nicht mit Metallkontakten versehen. Demnach werden schließlich noch in die deckenseitigen Oxidschichten 9 der Source- und Drain-Bereiche 2A, 2B Kontaktlöcher 8B, 8C geformt, deren Lagen durch die punktierten Linien in der Fig. 2 dargestellt sind. Diese Kontaktlöcher 8B, 8C werden metallisiert, wodurch Source- und Drain-Kontakte hergestellt sind.

Die Fig. 6 bis 11 veranschaulichen eine weitere Variante zur Herstellung eines erfindungsgemäßen Mehrkanal-MOSFET. Auf einem Si-Substrat 100 wird eine Oxidschicht 101 aufgebracht. Gemäß Fig. 6 wird mittels CVD auf der Oxidschicht 101 eine Schichtfolge aufgebracht, die aus einer ersten platzhaltenden Schicht 103, einer beispielsweise aus SiO_2 , amorphem oder polykristallinem Silizium bestehenden ersten Opferschicht 104, einer zweiten platzhaltenden Schicht 105, einer zweiten Opferschicht 106 aus den genannten Materialien und einer dritten platzhaltenden Schicht 107 aufgebaut ist. Wie noch deutlich wird, dienen die beiden Opferschichten 104, 106 dabei als abstandshaltende Schichten zur Erzeugung jeweils eines Spaltbereichs, welcher später zur Bildung der Halbleiter-Kanalschichtzonen genutzt wird. Dabei wird die Breite der Spaltbereiche (spätere Kanalbreite) in nicht dargestellter Weise bereits beim Aufbau der Schichtfolge durch geeignete,

an den Opferschichten 104, 106 vorgenommene Maskier- und Ätzschritte festgelegt.

5 Die platzhaltenden Schichten 103, 105, 107 können aus einem der bei dem ersten Ausführungsbeispiel bereits genannten Materialien, insbesondere SiN bestehen.

10 Der nächste Maskier- und Ätzschritt definiert die Länge beider (bzw. aller) zu bildenden Halbleiter-Kanalschichtzonen und ist in der Fig. 7 gezeigt. Es werden zwei Vertiefungen 107A, 107B in die obere platzhaltende Schicht 107 sowie sämtliche darunterliegenden Schichten 106, 105, 104, 103 der Schichtfolge bis auf die Oxidschicht 101 (Stoppschicht) geätzt. An einander gegenüberliegenden Seitenwänden der Vertiefungen 107A, 107B liegen die Opferschichten 104, 106 der zwischen den Vertiefungen 107A, 107B stehendenbleibenden Schichtstruktur stirnseitig frei.

20 Nun werden die Opferschichten 104, 106 beispielsweise durch eine KOH-Ätzung entfernt, wobei, wie in Fig. 8 gezeigt, zwei übereinander liegende und zueinander ausgerichtete hohle Spaltbereiche 104S, 106S oder Tunnel geschaffen werden. Die Tunnel 104S, 106S münden beidseitig in die Vertiefungen 107A, 107B und verbinden diese. Ihre lichte Höhe ist durch die Dicke der entfernten Opferschichten 104, 106 der Schichtstruktur bestimmt.

30 Die Tunnelwände können sodann in nicht dargestellter Weise durch eine konforme Niedertemperatur-Oxidierung (LTO: low temperature oxidation) mit einem Oxid überzogen werden.

Anschließend wird in einer der Vertiefungen, hier 107B, eine Öffnung 108 (seed window) in die bodenseitige Oxidschicht 101 eingebracht. Die sich ergebende Struktur ist in Fig. 8 dargestellt.

In einem folgenden Epitaxieschritt wird kristallines Silizium aus der Öffnung 108 in der Vertiefung 107B heraus durch die Tunnel hindurch in die Vertiefung 107A aufgewachsen. Das Wachstum findet dabei selektiv nur auf Silizium statt. Der
5 Wachstumsprozeß wird fortgesetzt, bis die Vertiefungen 107A, 107B vollständig mit kristallinen Silizium gefüllt sind. Die aufgefüllten Vertiefungen 107A, 107B bilden die Source- 102A und Drain-Bereiche 102B der herzustellenden MOS-Transistoranordnung. Überschüssiges epitaktisches Silizium wird an-
10 schließend durch einen CMP-Prozeß entfernt, siehe Fig. 9.

Nach dem Epitaxieschritt werden die geschaffenen Source- 102A und Drain-Bereiche 102B geeignet dotiert.

15 Anschließend werden die freiliegenden Siliziumbereiche oxidiert (Oxidschicht 111) und die platzhaltenden Schichten 107, 105, 103 werden entfernt. Es bleiben dünne kristalline Stege 104A, 106A stehen, die die Source- und Drain-Bereiche 102A, 102B miteinander verbinden, siehe Fig. 10.

20 Durch einen weiteren Oxidationsschritt werden thermische Gateoxidschichten 109 einer gleichmäßigen Dicke auf die Stege 104A, 106A aufgebracht und auch an freien Wandabschnitten der Source- 102A und Drain-Bereiche 102B gebildet. In einem
25 letzten Schritt werden die durch Entfernung der platzhaltenden Schichten 103, 105, 107 geschaffenen Freibereiche mittels eines CVD-Prozesses mit einem Gatematerial, beispielsweise Polysilizium gefüllt. Dabei entstehen wie in Fig. 11 dargestellt die Gateelektroden 110A, 110B, 110C.

30 Beiden Ausführungsvarianten ist gemeinsam, daß selbstjustierte Gateelektroden erzeugt werden, daß der geschaffene Mehrkanal-MOSFET einen geringen Platzbedarf beansprucht und der Herstellungsprozeß im Rahmen der CMOS-Technologie und unter
35 Verwendung an sich bekannter Einzelprozesse skalierbar ist.

Patentansprüche

1. MOS-Transistoranordnung, mit
- einem Substrat (1; 100),
 - 5 - einer über dem Substrat (1; 100) aufgebauten Doppel-Gate-MOSFET-Halbleiterschichtstruktur bestehend aus einer ersten und einer zweiten Gateelektrode (10A, 10B; 110A, 110B), zwischen denen eine Halbleiter-Kanalschichtzone (4A; 104A) eingebettet ist, und einem Source- (2A; 102A) und Drain-
 - 10 Bereich (2B; 102B), welche an gegenüberliegenden Stirnseiten der Halbleiter-Kanalschichtzone (4A; 104A) angeordnet sind und diese dort kontaktieren,
- g e k e n n z e i c h n e t d u r c h
- mindestens eine weitere Halbleiter-Kanalschichtzone (6A; 106A), die an der von der Halbleiter-Kanalschichtzone (4A; 104A) abgewandten Oberfläche einer der beiden Gateelektro-
 - 15 den (10A, 10B; 110A, 110B) angeordnet ist, und die an ihren Stirnseiten ebenfalls von den Source- (2A; 102A) und Drain-Bereichen (2B, 102B) kontaktiert ist.
- 20
2. MOS-Transistoranordnung nach Anspruch 1,
- d a d u r c h g e k e n n z e i c h n e t, daß
- die weitere Halbleiter-Kanalschichtzone (6A, 106A) an ihrer
- der ersten oder zweiten Gateelektrode (10A, 10B; 110A, 110B)
- 25 abgewandten Oberfläche mit einer weiteren Gateelektrode (10C; 110C) versehen ist.
3. MOS-Transistoranordnung nach Anspruch 1 oder 2,
- d a d u r c h g e k e n n z e i c h n e t, daß
- 30 die Gateelektroden (10A, 10B, 10C; 110A, 110B, 110C) bedingt durch ihre Erzeugung mittels eines selbstjustierenden Prozesses in zueinander ausgerichteter Lagebeziehung angeordnet sind.
- 35 4. MOS-Transistoranordnung nach einem der vorhergehenden Ansprüche,
- d a d u r c h g e k e n n z e i c h n e t, daß

die Halbleiter-Kanalschichtzonen (4A, 6A; 104A, 106A) aus kristallinem Silizium bestehen.

5. MOS-Transistoranordnung nach einem der Ansprüche 1 bis 3,
5 d a d u r c h g e k e n n z e i c h n e t, daß
die Halbleiter-Kanalschichtzonen (4A, 6A; 104A, 106A) aus polykristallinem oder amorphem Silizium bestehen.

6. MOS-Transistoranordnung nach einem der vorhergehenden Ansprüche,
10 s p r ü c h e,
d a d u r c h g e k e n n z e i c h n e t, daß
das Substrat (1, 100) ein Siliziumsubstrat oder ein SOI-Substrat (1.1, 1.2) ist.

15 7. MOS-Transistoranordnung nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t, daß
die Gateelektroden (10A, 10B, 10C; 110A, 110B, 110C) und/oder
die Source- (2A, 102A) und Drain-Bereiche (2B, 102B) aus dotiertem polykristallinen Silizium, einem Metall oder einem
20 Silizid gebildet sind.

8. Verfahren zur Herstellung einer MOS-Transistoranordnung,
g e k e n n z e i c h n e t d u r c h die Verfahrensschritte
25

- Bereitstellen eines Substrats (1);
- optionales Aufbringen einer bodenseitigen platzhaltenden Schicht (3) auf das Substrat (1);
- Abscheiden einer Schichtfolge, die zumindest zwei Halbleiter-Kanalschichten (4, 6) mit einer dazwischenliegenden
30 platzhaltenden Schicht (5) umfaßt, über dem Substrat (1);
- Entfernen der Schichtfolge (4, 5, 6) bis auf eine zurückbleibende Schichtstruktur (4A, 5A, 6A);
- zumindest dann, wenn keine bodenseitige platzhaltende
35 Schicht (3) vorgesehen ist, Abscheiden einer weiteren platzhaltenden Schicht (11), die die Schichtstruktur (4A, 5A, 6A) überdeckt;

- Erzeugen von die Kanallänge der herzustellenden MOS-Transistoranordnung definierenden Seitenwänden der Schichtstruktur (4A, 5A, 6A) durch einen Maskier- und Ätzschritt, wobei sich die Seitenwände auch in die unter der Schichtstruktur (4A, 5A, 6A) liegende bodenseitige platzhaltende Schicht (3), sofern vorhanden, erstrecken;
- Anlagern von elektrisch leitfähigem Material an die beiden freigelegten Seitenwände zur Ausbildung von Source- (2A) und Drain-Bereichen (2B);
- selektives Entfernen sämtlicher platzhaltenden Schichten (3, 5A, 11);
- Erzeugen von Isolationsschichten (9) an durch Entfernung der platzhaltenden Schichten (3, 5A, 11) freigelegten Oberflächenbereichen; und
- Einbringen eines elektrisch leitfähigen Materials in die Bereiche der entfernten platzhaltenden Schichten (3, 5A, 11) zur Bildung von Gateelektroden (10A, 10B, 10C).

9. Verfahren nach Anspruch 8

- dadurch gekennzeichnet, daß die platzhaltenden Schichten (3, 5, 11) und die Halbleiter-Kanalschichten durch eine Polysilizium-Abscheidung erzeugt werden, wobei die platzhaltenden Schichten durch Hinzufügung eines ein selektives Ätzverhalten gegenüber Polysilizium ermöglichenden Fremdstoffes, insbesondere P realisiert werden.

10. Verfahren nach Anspruch 8

- dadurch gekennzeichnet, daß die Halbleiter-Kanalschichten (4, 6) durch eine Polysilizium-Abscheidung und die platzhaltenden Schichten (3, 5, 11) durch eine Poly-SiGe-Abscheidung erzeugt werden.

11. Verfahren nach Anspruch 8,

- dadurch gekennzeichnet, daß die platzhaltenden Schichten (3, 5, 11) und die Halbleiter-Kanalschichten (4, 6) durch eine epitaktische Silizium-Abscheidung erzeugt werden, wobei die platzhaltenden Schich-

ten durch Hinzufügung eines ein selektives Ätzverhalten gegenüber kristallinem Silizium ermöglichenden Fremdstoffes realisiert werden.

5 12. Verfahren nach Anspruch 8

d a d u r c h g e k e n n z e i c h n e t, daß
die Halbleiter-Kanalschichten (4, 6) durch eine epitaktische Si-Abscheidung und die platzhaltenden Schichten (3, 5, 11)
durch eine CaF_2 - oder SiGe-Abscheidung erzeugt werden.

10

13. Verfahren nach Anspruch 8,

d a d u r c h g e k e n n z e i c h n e t, daß
die platzhaltenden Schichten (3, 5, 11) durch Abscheidung von
Siliziumnitrid gebildet werden.

15

14. Verfahren nach einem der Ansprüche 8 bis 13,

d a d u r c h g e k e n n z e i c h n e t, daß
dotiertes polykristallines Silizium durch chemische Dampfpha-
senabscheidung zur Ausbildung der Source- (2A) und Drain-

20

Bereiche (2B) an die Seitenwände angelagert wird und die Do-
tierung während der Abscheidung (in-situ), insbesondere durch
Arsen-Atome, vorgenommen wird.

15. Verfahren nach einem der Ansprüche 8 bis 14,

25

d a d u r c h g e k e n n z e i c h n e t, daß
in den Bereichen der entfernten platzhaltenden Schichten (3,
5A, 11) dotiertes polykristalline Silizium durch chemische
Dampfphasenabscheidung zur Bildung der Gateelektroden (10A,
10B, 10C) verwendet wird und die Dotierung, insbesondere
30 durch Phosphor-Atome, während der Abscheidung (in-situ) vor-
genommen wird.

16. Verfahren nach einem der Ansprüche 8 bis 15,

35

d a d u r c h g e k e n n z e i c h n e t, daß
zur Erzeugung der Seitenwände eine Isolationsschicht (12),
insbesondere eine Oxidschicht über der Schichtstruktur (4A,

5A, 6A) und, sofern vorhanden, auf der weiteren platzhaltenden Schicht (11) abgeschieden wird.

17. Verfahren zur Herstellung einer MOS-Transistoranordnung,
5 g e k e n n z e i c h n e t d u r c h die Verfahrensschritte
- Bereitstellen eines Substrats (100);
 - Erzeugen einer Oxidschicht (101) auf dem Substrat (101);
 - Abscheiden einer Schichtfolge, umfassend alternierend ange-
10 ordnete platzhaltende Schichten (103, 105, 107) und Opferschichten (104, 106) über dem Substrat (100), wobei die Schichtfolge zumindest 2 Opferschichten (104, 106) enthält;
 - Strukturieren der Schichtfolge unter Verwendung eines Maskier- und Ätzschrittes zur Erzeugung einer aus der Schicht-
15 folge herausgeätzten Schichtstruktur, wobei sich senkrecht zur Kanalrichtung der herzustellenden MOS-Transistoranordnung erstreckende Seitenwände der Schichtstruktur durch eine einzige Maske definiert werden;
 - Herausätzen der Opferschichten (104, 106) zwischen den
20 strukturierten platzhaltenden Schichten (103, 105, 107) zur Erzeugung von Spaltbereichen (104S, 106S);
 - benachbart einer Seitenwand Ätzen einer das Substrat freilegenden Öffnung (108) in die Oxidschicht (101);
 - selektives epitaktisches Aufwachsen von Silizium aus der
25 Öffnung (108) durch die Spaltbereiche (104S, 106S) hindurch, wobei in den Spaltbereichen (104S, 106S) übereinanderliegende Kanalschichtzonen und an den Enden der Spaltbereiche an die Seitenwände angrenzende Source- und Drain-Bereiche (102A, 102B) geschaffen werden;
 - 30 - selektives Entfernen der strukturierten platzhaltenden Schichten (103, 105, 107);
 - Erzeugen von Isolationsschichten an durch Entfernung der strukturierten platzhaltenden Schichten freigelegten Oberflächenbereichen; und
 - 35 - Einbringen eines elektrisch leitfähigen Materials in den Bereichen der entfernten strukturierten platzhaltenden

Schichten (103, 105, 107) zur Bildung von Gateelektroden
(110A, 110B, 110C).

1/5

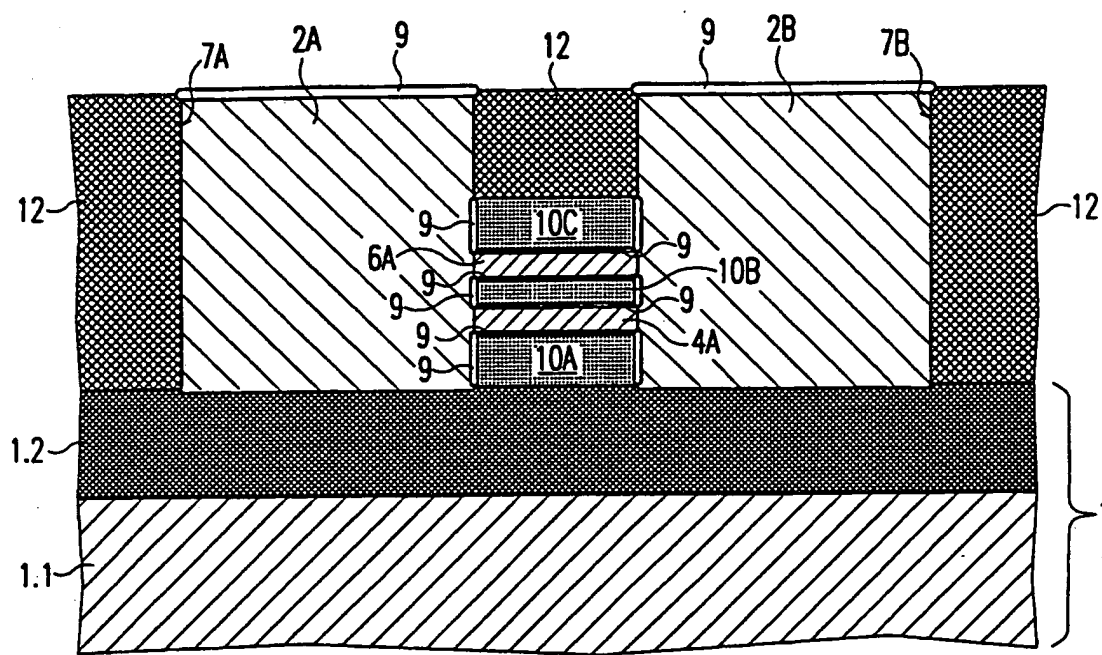


Fig. 1

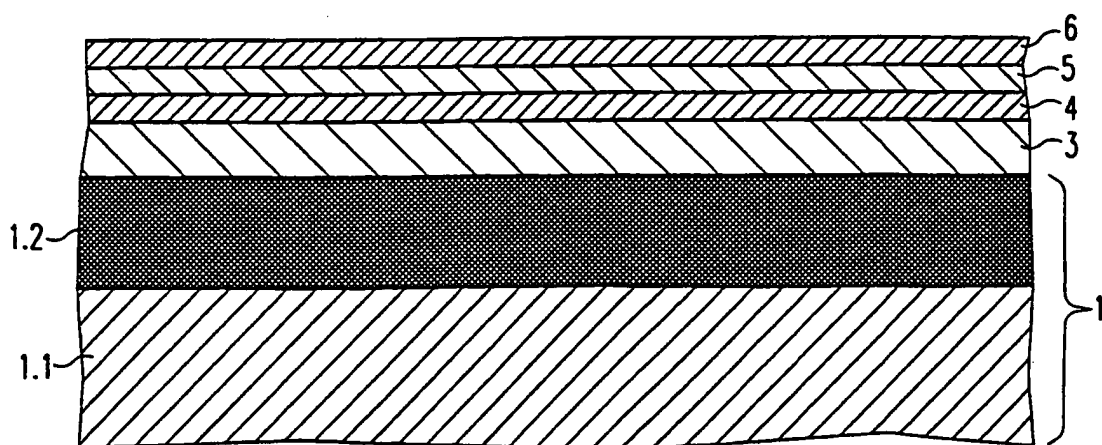
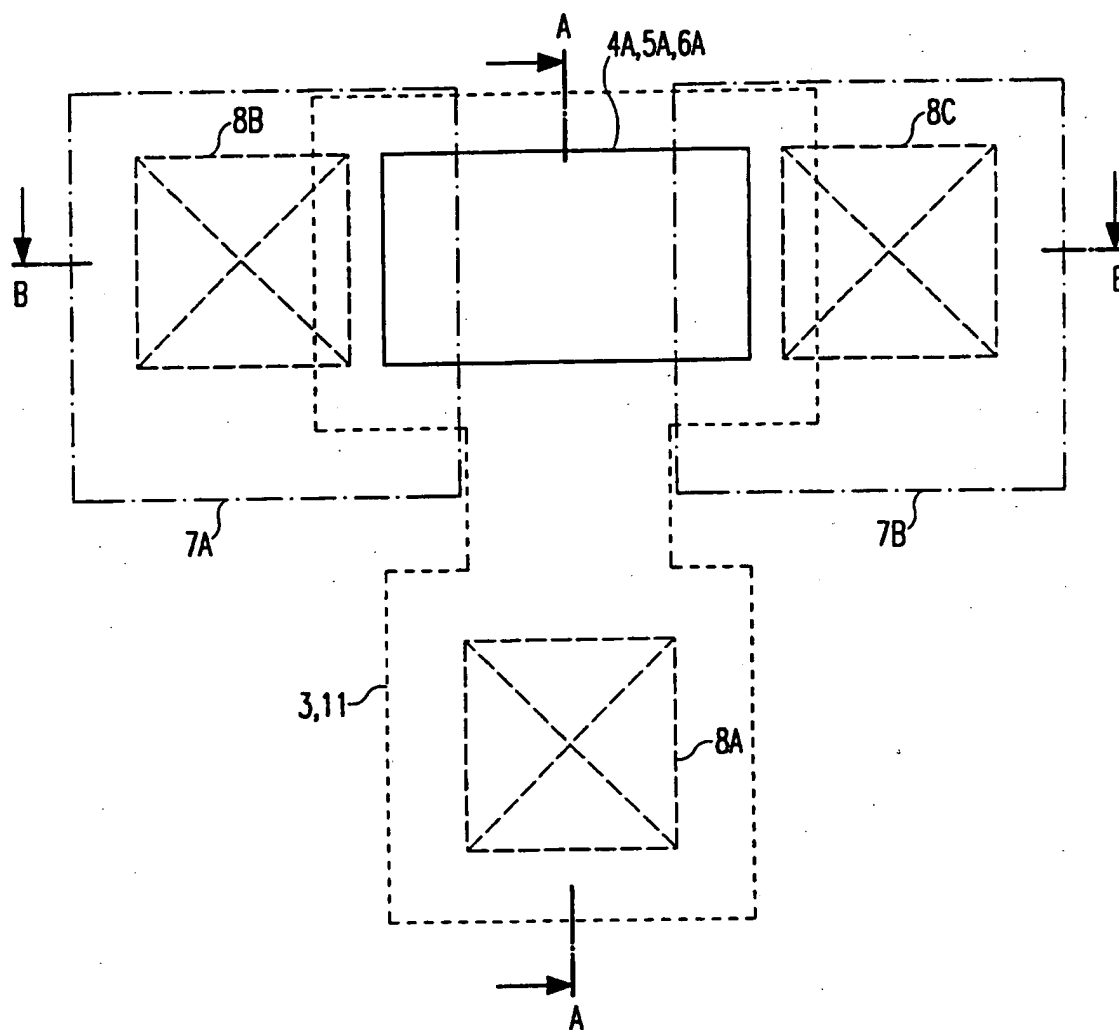


Fig. 3



- Halbleiterschichtstruktur
- Strukturierung der platzhaltenden Schichten
- Ätzung der Vertiefungen
- Kontaktlöcher

Fig. 2

3/5

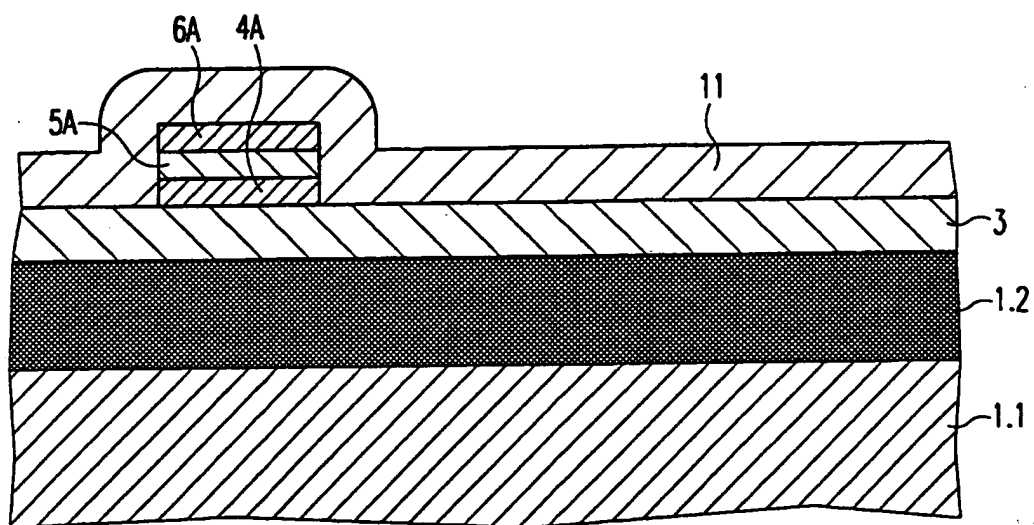


Fig. 4

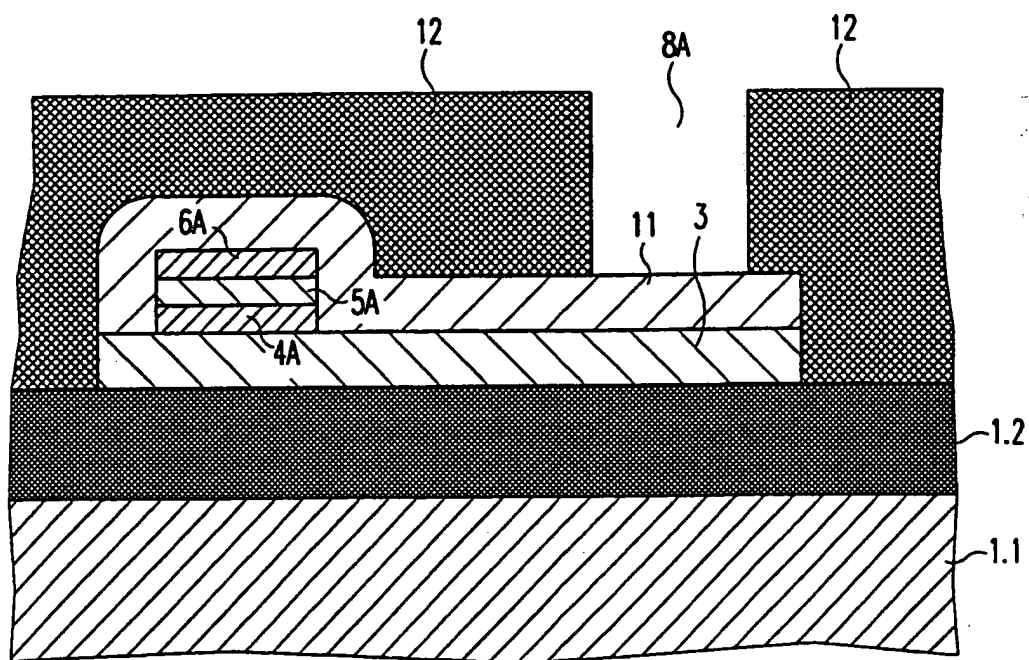


Fig. 5

4/5

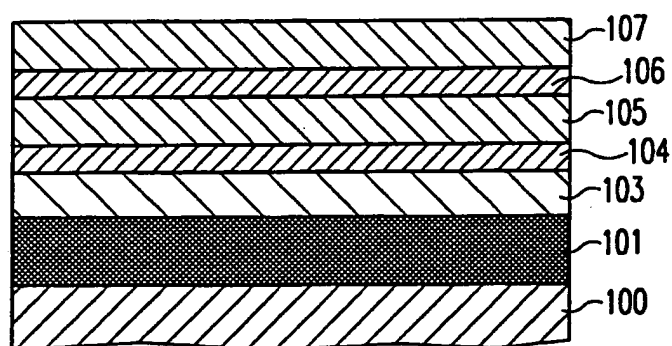


Fig. 6

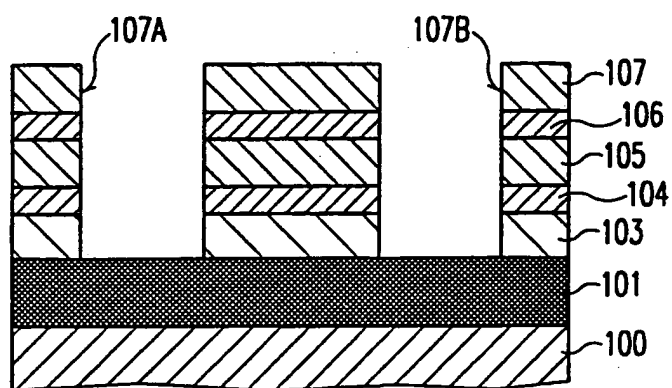


Fig. 7

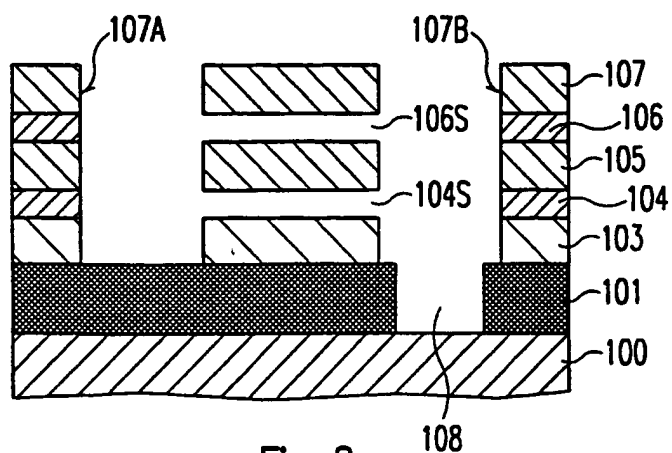


Fig. 8

5/5

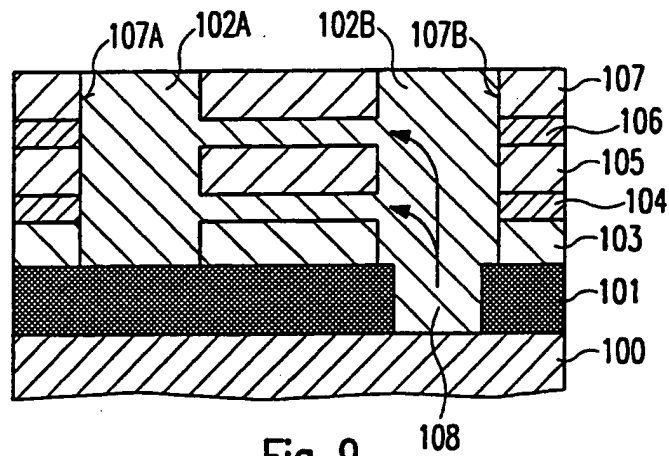


Fig. 9

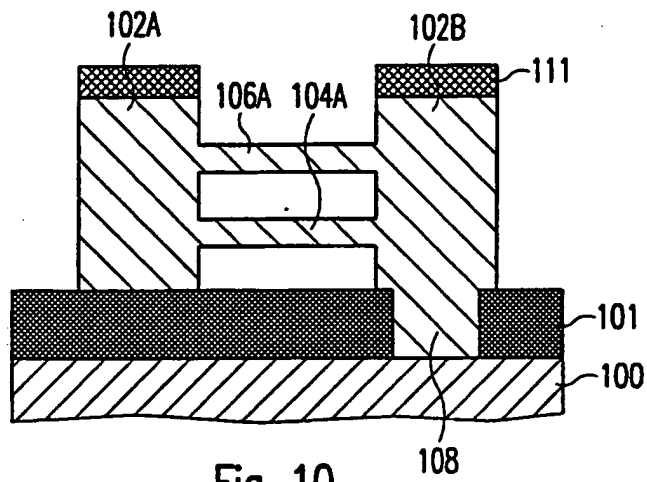


Fig. 10

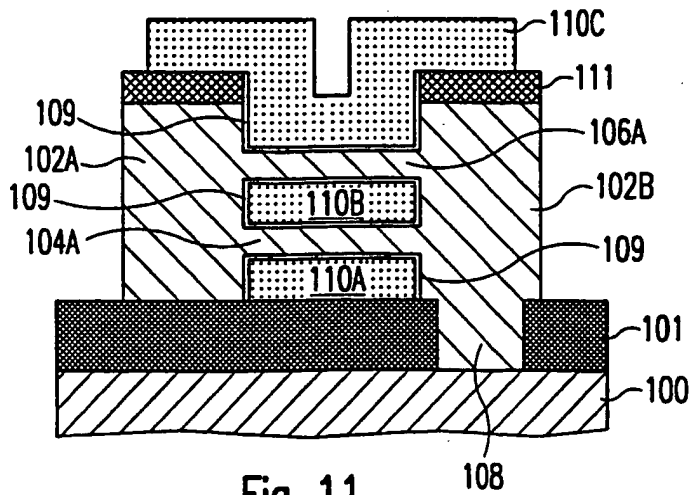


Fig. 11

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE 00/02022

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/786 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 198 03 479 A (MITSUBISHI ELECTRIC CORP) 24 December 1998 (1998-12-24)	1-9, 11, 13-16
A	the whole document	10, 12, 17
A	US 5 646 058 A (WONG HON-SUM PHILIP ET AL) 8 July 1997 (1997-07-08)	1-17
A	figures 1-3	
A	EP 0 612 103 A (SAMSUNG ELECTRONICS CO LTD) 24 August 1994 (1994-08-24)	1-17
A	figures 1-9	
A	EP 0 704 909 A (SGS THOMSON MICROELECTRONICS)	1-17
	3 April 1996 (1996-04-03)	
	figures 1-11	
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *G* document member of the same patent family

Date of the actual completion of the international search

12 October 2000

Date of mailing of the international search report

20/10/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Juhl, A

INTERNATIONAL SEARCH REPORT

Int. Application No
PCT/DE 00/02022

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>US 5 120 666 A (GOTOU HIROSHI) 9 June 1992 (1992-06-09) figures 3,4</p> <p>-----</p>	1-17

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/DE 00/02022

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
DE 19803479	A	24-12-1998	JP 11008390 A	12-01-1999
			US 5965914 A	12-10-1999
US 5646058	A	08-07-1997	US 5604368 A	18-02-1997
			JP 2986373 B	06-12-1999
			JP 8046212 A	16-02-1996
EP 0612103	A	24-08-1994	KR 9602088 B	10-02-1996
			CN 1095860 A,B	30-11-1994
			JP 2687091 B	08-12-1997
			JP 6252403 A	09-09-1994
			US 5482877 A	09-01-1996
EP 0704909	A	03-04-1996	US 5705405 A	06-01-1998
			JP 8181328 A	12-07-1996
			US 5801397 A	01-09-1998
US 5120666	A	09-06-1992	JP 2302044 A	14-12-1990

PCT/DE 00/02022

Seite 1 von 2

INTERNATIONALER RECHERCHENBERICHT

Internationales Abkürzungszeichen

PCT/DE 00/02022

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>US 5 120 666 A (GOTOU HIROSHI)</p> <p>9. Juni 1992 (1992-06-09)</p> <p>Abbildungen 3,4</p> <p>-----</p>	1-17

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 00/02022

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
DE 19803479 A	24-12-1998	JP 11008390 A	12-01-1999
		US 5965914 A	12-10-1999
US 5646058 A	08-07-1997	US 5604368 A	18-02-1997
		JP 2986373 B	06-12-1999
		JP 8046212 A	16-02-1996
EP 0612103 A	24-08-1994	KR 9602088 B	10-02-1996
		CN 1095860 A,B	30-11-1994
		JP 2687091 B	08-12-1997
		JP 6252403 A	09-09-1994
		US 5482877 A	09-01-1996
EP 0704909 A	03-04-1996	US 5705405 A	06-01-1998
		JP 8181328 A	12-07-1996
		US 5801397 A	01-09-1998
US 5120666 A	09-06-1992	JP 2302044 A	14-12-1990